

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-219421

(43) 公開日 平成9年(1997) 8月19日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S
21/301			21/78	A
21/321			21/92	6 0 2 D
				6 0 4 A
				6 0 4 J
審査請求 未請求 請求項の数26 O L (全 8 頁)				

(21) 出願番号 特願平8-26434

(22) 出願日 平成8年(1996) 2月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 長谷部 昭男

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 宮本 俊夫

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 有馬 英夫

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体電子部品の製造方法およびウエハ

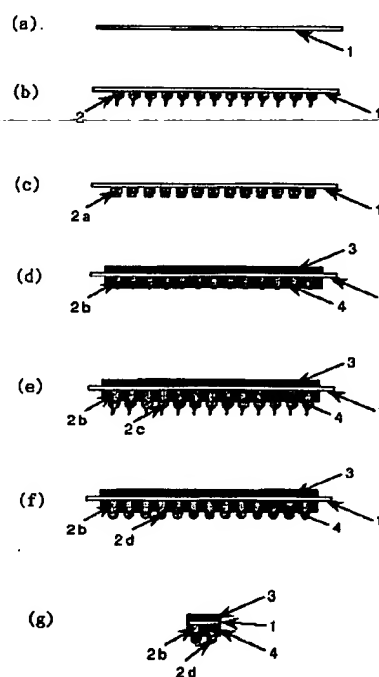
(57) 【要約】

【課題】 半導体電子部品をそのチップサイズとほぼ同程度の大きさにて、しかも高信頼のものを安価に製造、提供する事を目的とする。

【解決手段】 ウエハを基本単位としてP-K-G工程を経る。

【効果】 最も安価で信頼性の高いチップサイズP-K-Gが得られる。

図1



ESS67



Home



Search



List

☐ Include**MicroPatent® PatSearch FullText:** Record 1 of 1

Search scope: US EP WO JP; Full patent spec.

Years: 1990-2001

Text: Patent/Publication No.: JP09219421

[no drawing available]

[Download This Patent](#)[Family Lookup](#)[Go to first matching text](#)

JP09219421

**MANUFACTURE OF SEMICONDUCTOR ELECTRONIC COMPONENT AND WAFER
HITACHI LTD**Inventor(s): HASEBE AKIO ; MIYAMOTO TOSHIO ; ARIMA HIDEO ; YAMAMOTO KENICHI ;
HARUTA AKIRA ; TSUBOSAKI KUNIHIRO ; MORINAGA KENICHIRO

Application No. 08026434, Filed 19960214, Published 19970819

Abstract: PROBLEM TO BE SOLVED: To shorten a TAT and reduce the cost of the TAT by a method wherein stud bump electrodes made of solder are respectively formed again on the point parts of first-layer electrodes, second-layer electrodes of a shape uniformized by reflowing the stud bump electrodes are formed and a wafer is diced into chips to obtain chip-sized packages.

SOLUTION: Solder stud bump electrodes 2 formed on a wafer 1 are subjected to leveling, electrodes 2a are formed and organic materials 3 and 4 are respectively provided on both surfaces of the surface and rear of the wafer 1 formed with the electrodes 2a making to interpose the wafer 1 between them by molding, coating or the like. A surface treatment, such as a polishing treatment, of these bump electrodes 2a and first electrodes 2b is performed, which respectively have a bump electrode upper part which is new and is easily wetted, are formed. Solder stud bump electrodes 2c are respectively formed again on the point parts of the electrodes 2b, the wafer 1 is reflowed to form second electrodes 2d obtainable by making even the electrodes 2c and the wafer 1 is diced into chips to obtain chip-sized packages.

Int'l Class: H01L02160; H01L021301 H01L021321

MicroPatent Reference Number: 000098448

COPYRIGHT: (C) 1997JPO



Home



Search



List

☐ Include

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)